

(6)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平4-134865

⑫ Int.Cl.  
H 01 L 27/148  
H 04 N 5/335

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月8日

Z 8838-5C

8122-4M H 01 L 27/14

B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 固体撮像素子

⑮ 特願 平2-257783

⑯ 出願 平2(1990)9月27日

⑰ 発明者 川端啓子 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代理人 弁理士 内原晋

## 明細書

## 〔従来の技術〕

発明の名称

固体撮像素子

## 特許請求の範囲

電荷転送部と、前記電荷転送部から信号電荷を受取る浮遊塗散層と、前記浮遊塗散層の電位を検出するバッファ増幅器とが半導体基板に集成されている固体撮像素子において、前記バッファ増幅器の出力端に接続された電極配線層が前記半導体基板上に設けられ、前記電極配線層上に絶縁膜を介して前記浮遊塗散層と前記バッファ増幅器の入力端とを接続する配線層が設けられていることを特徴とする固体撮像素子。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、固体撮像素子に関し、特に電荷検出部の構造に関するものである。

電荷転送型の固体撮像素子において、出力の電荷検出部はS/N、リニアリティ等の点から、浮遊塗散層を用いた増幅器が一般的である。第3図(b)は電荷検出部の一例を示す断面図であり、水平CCDを転送されてきた信号電荷は、最終段の転送電極5、出力ゲート電極6下を通過して浮遊塗散層8に流入して電圧に変換され、駆動トランジスタ9、負荷トランジスタ10を有するソースホロウ増幅器(バッファ増幅器)で検出される。

第3図(a)は電荷検出部の平面図である。第3図(b)は第3図(a)のX-X線断面図である。8は浮遊塗散層、16はソースホロウ増幅器の駆動トランジスタ9のゲート電極、13は浮遊塗散層8と駆動トランジスタのゲート電極9を接続するAを配線層、15はドレイン電圧端子V<sub>dd</sub>に接続されているドレイン領域、17は負荷トランジスタ10に接続されているソース領域で、この部分が出力電圧を与える。

電荷検出は浮遊拡散層8に転送される電荷量Qの変化に応じ、 $Q = C_{pJ'} \times V$ なる関係式に基づき、浮遊拡散層8、リセットゲート電極7、リセットドレイン8によって形成されるリセットトランジスタのリセット動作により、設定されたフィールドスルーレ電位からVの電位変化として行われる。ここで、 $C_{pJ'}$ は、浮遊拡散層8の容量C<sub>pJ</sub>の他にリセットゲート電極7との間の容量C<sub>a</sub>、水平出力ゲート電極6との間の容量C<sub>b</sub>、浮遊拡散層8と駆動トランジスタのゲート電極16とを接続するA<sub>2</sub>配線層13が半導体基板との間に持つ容量C<sub>c</sub>、駆動トランジスタのゲート電極16が半導体基板との間に持つ容量C<sub>d</sub>、駆動トランジスタのゲート電極16が、そのソース領域15との間に持つ容量C<sub>e</sub>、駆動トランジスタのゲート電極16が、そのソース領域16との間に持つ容量C<sub>f</sub>などの寄生容量の和として表現できる。

従って信号電荷は、浮遊拡散層8に付随する容量C<sub>pJ'</sub>が小さいほど電圧変換効率は大きく、素子の感度が向上することになる。従来これらの寄

生容量をなるべく小さくするため、C<sub>a</sub>、C<sub>b</sub>について、浮遊拡散層自体の面積の縮小、C<sub>c</sub>、C<sub>d</sub>については、浮遊拡散層8と駆動トランジスタのゲート電極16を接続するA<sub>2</sub>配線層13や、駆動トランジスタのゲート電極16を短くしたり、細らせるなどの対策がとられてきた。

〔発明が解決しようとする課題〕

しかし、この従来の電荷検出部の浮遊拡散層と駆動トランジスタのゲート電極とを接続するA<sub>2</sub>配線層は、レイアウト上極端に短い配線は不可能であり、改善する上で大きな障害となるという問題点があった。

〔課題を解決するための手段〕

本発明は、電荷転送部と、前記電荷転送部から信号電荷を受取る浮遊拡散層と、前記浮遊拡散層の電位を検出するバッファ増幅器とが半導体基板に集積されている固体撮像素子において、前記バッファ増幅器の出力端に接続された電極配線層が前記半導体基板上に設けられ、前記電極配線層上に絶縁膜を介して前記浮遊拡散層と前記バッファ

増幅器の入力端とを接続する配線層が設けられているというものである。

〔実施例〕

次に本発明の実施例について説明する。

第1図(a)は本発明の第1の実施例を示す平面図、第1図(b)は第1図(a)のY-Y線断面図である。

従来例との相違について説明する。

浮遊拡散層8とコンタクト穴18-1で接続され、バッファ増幅器の駆動トランジスタのゲート電極16(第2層ポリシリコン膜)とコンタクト穴19で接続されたA<sub>2</sub>配線層13の下に厚さ200nmの絶縁膜22(酸化シリコン膜)を介して電極配線層21(第1層ポリシリコン膜)が設けられている。電極配線層21はコンタクト穴23で出力配線層11(A<sub>2</sub>膜)と接続されている。

電極配線層21の電位はA<sub>2</sub>配線層13の電位につれて変化するので、電位差の変化は殆どなく、A<sub>2</sub>配線層13が半導体基板との間などに持

っていた寄生容量を減らすことができる。

第2図は本発明の第2の実施例の電荷検出部の平面図である。

この実施例においては、出力配線層11を第2層アルミニウム膜で形成し、この出力配線層11とコンタクト穴24で接続された第1層ポリシリコン膜の電極配線層21に加えて、さらにA<sub>2</sub>配線層13(本実施例では第1層アルミニウム膜)の上部に図示しない絶縁膜を介して第2層A<sub>2</sub>電極24が設けられている。第2層A<sub>2</sub>電極24はコンタクト穴25においてソース領域25と接続されると同時に出力配線層11に連続している。

浮遊拡散層8と駆動トランジスタゲート電極16を接続する配線部の容量を更に減らすことができる。以上の実施例はMOS型ソースホールワイヤブルのバッファ増幅器により構成したが、バイポーラ型の増幅器等によっても、構成可能であることはいうまでもなくバッファ増幅器の利得が1に近いほど効果が大きい。

〔発明の効果〕

以上説明したように本発明は、浮遊拡散層とバッファ増幅器の入力端を接続する配線層に絶縁膜を介して、バッファ増幅器の出力電位を与える電極配線層を配置することにより、この配線層が半導体基板との間にもつ容量を殆どなくすことにより、浮遊拡散層の総容量を小さくすることができ、電圧への変換効率を大きくできる。また同出力部のS/Nはリセットノイズが支配的であるため、後段の信号処理（相間2重サンプリング等）により、これを除去できるため感度の増加につながるという効果を有する。

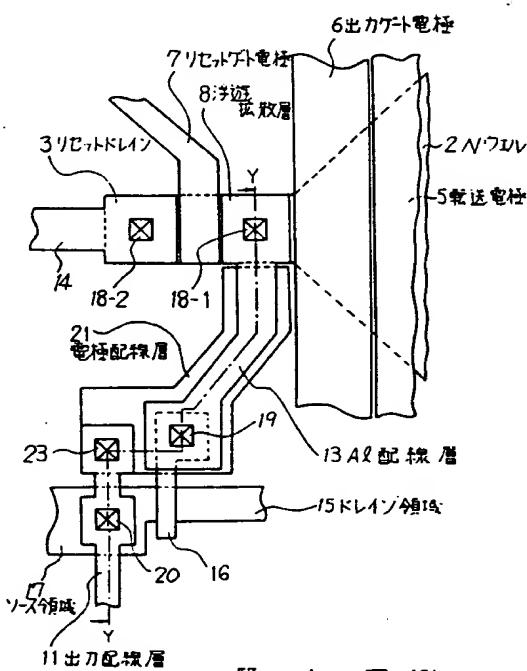
電極5、6…出力ゲート電極、7…リセットゲート電極、8…浮遊拡散層、9…駆動トランジスタ、10…負荷トランジスタ、11…出力配線層、12…ゲートバイアス電源、13、14…A2配線層、15…ドレイン領域、16…ゲート電極、17…ソース領域、18-1、18-2、19、20…コンタクト穴、21…電極配線層、22…絶縁膜、23、24、25…コンタクト穴、26…第2層A2電極。

代理人弁理士内原晋

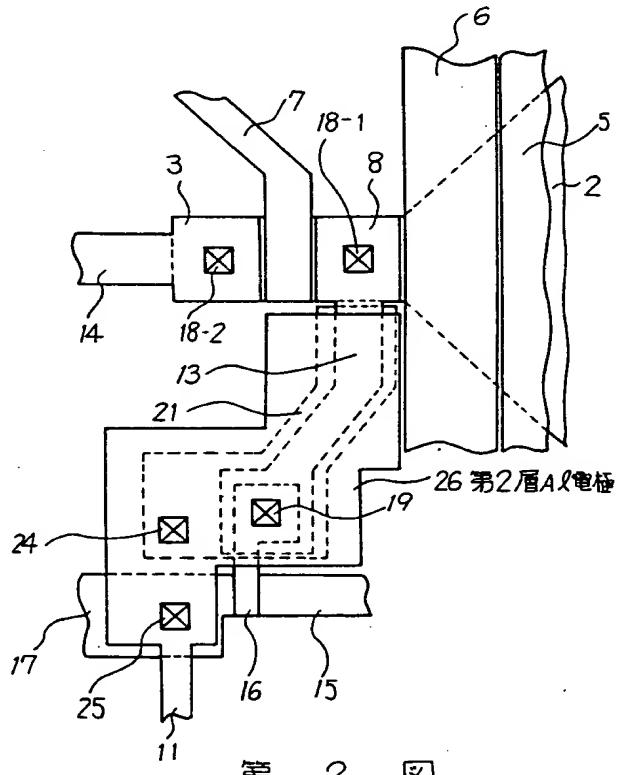
## 図面の簡単な説明

第1図(a)は本発明の第1の実施例を示す平面図、第1図(b)は第1図(a)のY-Y線断面図、第2図は第2の実施例を示す平面図、第3図(a)は従来例を示す平面図、第3図(b)は第3図(a)のX-X線断面図である。

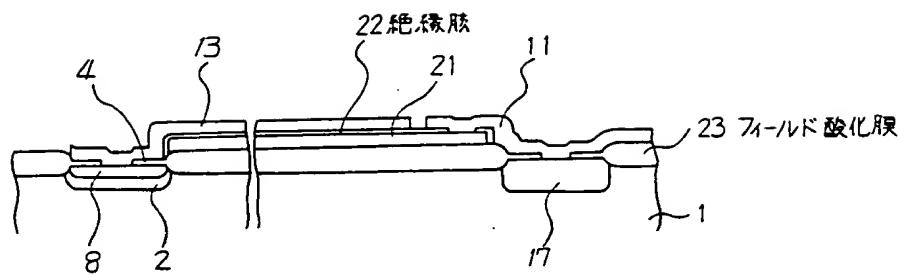
1…P型半導体基板、2…Nウェル、3…リセット・ドレイン、4…酸化シリコン膜、5…転送



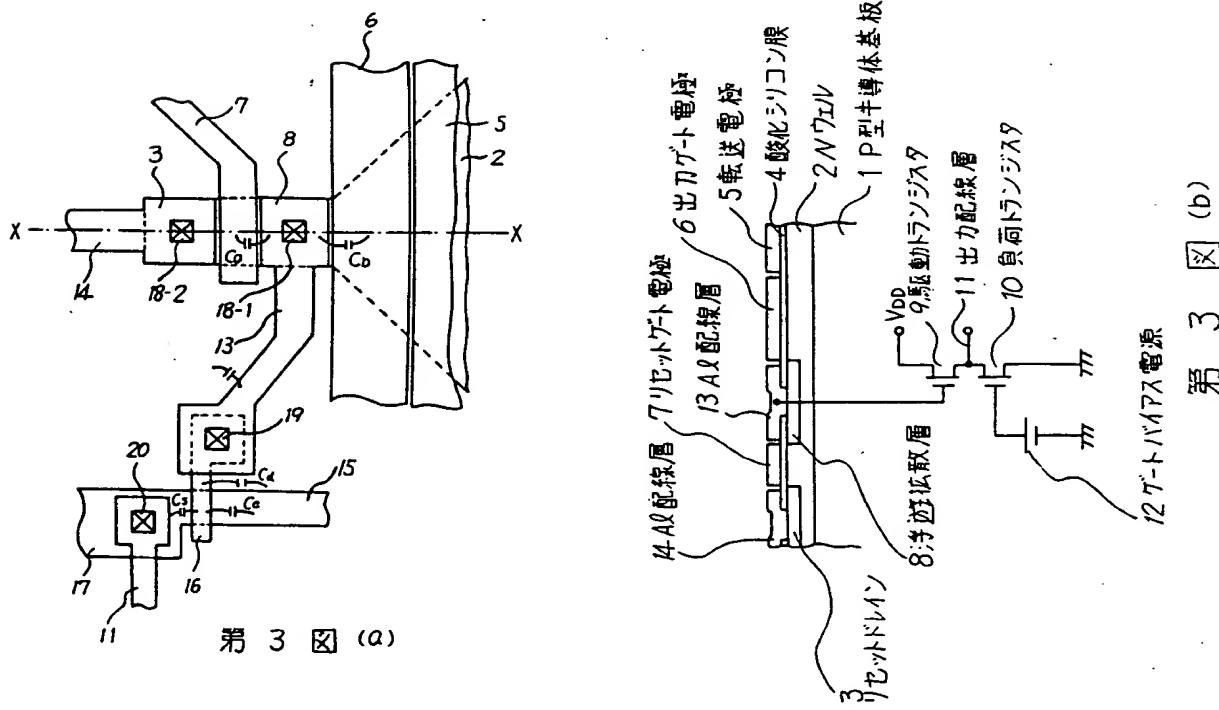
第1図(a)



第2図



第 1 図 (b)



第 3 図 (a)